

УТВЕРЖДАЮ

Заместитель генерального директора
ОАО НПО “Физика” по научной работе

В.А.Власов

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1582ВЖ3-0270

Техническое описание

ИРВЖ.431262.001-048ТО

Главный конструктор

А.В.Розе

2006

Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата

Л.А.Сергеева

Главный контролер

Содержание

1 Наименование	3
2 Назначение микросхемы	3
3 Устройство и работа	3
4 Назначение выводов микросхемы и ее основных блоков	4
4.1 Контроллер ОЗУ/ПЗУ	4
4.2 Системный таймер	8
4.3 Контроллер RS232	9
4.4 Контроллер системной магистрали Q-BUS	12
4.5 Универсальный 8-ми разрядный порт ввода-вывода и контроллер прерываний на две линии	13
4.6 Формирователь ACLO-DCLO	15
4.7 Контроллер зависания системы Watch Dog (WD)	15
4.8 Общесистемный регистр управления БИС	16
4.9 Регистр начального пуска	17
4.10 Кварцевый генератор	17
4.11 16-разрядный программируемый таймер (KWV11A)	17
5 Система приоритетов внутренних источников прерываний	21
6 Технические данные	21
7 Указания по применению и эксплуатации	22

					ИРВЖ.431262.001-048ТО			
Изм.	Лист	№ докум.	Подп.	Дата	Микросхема интегральная 1582ВЖ3-0270 Техническое описание	Лит.	Лист	Листов
Разработал		Алферова					2	28
Проверил		Розе						
Нач. отдела		Хахулина						
Н. Контр.		Сергеева						
Утвердил		-						
Инь.№ подл.	Подп. и дата	Взам.инв. №	Инь.№ дубл.	Подп и дата				

1 Наименование

Системный контроллер для микропроцессора 1806BM2.

2 Назначение микросхемы

Микросхема интегральная 1582ВЖ3-0270 (далее - микросхема) является основой набора микросхем, позволяющего реализовать управляющую микро-ЭВМ средней производительности. Микросхема предназначена для использования в качестве контроллера статического ОЗУ и ПЗУ, а также для обеспечения минимально необходимых интерфейсов в системах реального времени.

Для упрощения отладки сложных микропроцессорных систем в микросхеме реализован на аппаратном уровне режим записи в память и чтения данных из памяти через канал RS232, что позволяет на этапе отладки полностью отказаться от ПЗУ и загружать управляющую программу в ОЗУ или флэш-ПЗУ непосредственно перед использованием микропроцессорной системы.

Для расширения функциональных возможностей микропроцессорной системы в данной микросхеме на аппаратном уровне реализован режим расширенной памяти, позволяющий реализовать 22 - разрядную адресацию ячеек памяти.

Микросхема выполнена по КМОП-технологии на основе БМК серии 1582ВЖ3.

Кристалл, содержащий 3123 базовых ячеек, имеет заполнение 78% .

3 Устройство и работа

3.1 Корпус микросхемы 4226.108-2 УФ0.487.070ТУ.

3.2 Условное графическое обозначение микросхемы приведено на рисунке 1.

3.3 Структурная схема микросхемы приведена на рисунке 2.

					ИРВЖ.431262.001-048ТО		Лист
							3
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

4 Назначение выводов микросхемы и ее основных блоков

Нумерация и назначение внешних выводов микросхемы приведены в таблице 1.

Принципиальные электрические схемы входных и выходных буферных элементов приведены на рисунках 3...13. Номер рисунка соответствует номеру буферного элемента из таблицы 1.

Микросхема включает в себя следующие основные блоки:

- контроллер ОЗУ/ПЗУ;
- системный таймер;
- последовательный канал RS-232 с программируемой частотой передачи;
- контроллер системной магистрали Q-BUS;
- универсальный 8-ми разрядный порт ввода-вывода и контроллер внешних запросов прерываний на 2 линии;
- блок формирования сигналов готовности источника питания ACLO-DCLO;
- контроллер зависания системы Watch-Dog (WD);
- общесистемный регистр управления БИС;
- регистр начального пуска;
- 16-разрядный программируемый таймер (KWV11A);
- кварцевый генератор (кварц снаружи);

4.1 Контроллер ОЗУ/ПЗУ

Контроллер ОЗУ/ПЗУ обеспечивает подключение различных типов микросхем памяти и полностью закрывает адресное пространство памяти микропроцессора N1806BM2. С целью обеспечения большей гибкости в применении контроллер поддерживает три различных архитектуры памяти, задаваемых значениями сигналов на внешних выводах DM0, DM1. Всё адресное пространство разбито на 4 банка. Выбор банка памяти осуществляется подачей низкого уровня напряжения (логический «0») на соответствующий вывод CS0-CS4. Формирование стробов CS0-CS4 определяется принадлежностью адреса выбранному диапазону и значениями сигналов Sel, DM0, DM1 в соответствии с таблицей 2.

					ИРВЖ.431262.001-048ТО		Лист
							4
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 1 – Нумерация и назначение внешних выводов

Номер вывода	*Тип буфера	Обозначение вывода	Наименование вывода
1	9	AD15	Вход/выход "15-ый разряд адреса данных системной магистрали"
2	9	AD14	Вход/выход "14-ый разряд адреса данных системной магистрали"
3	9	AD13	Вход/выход "13-ый разряд адреса данных системной магистрали"
4	9	AD12	Вход/выход "12-ый разряд адреса данных системной магистрали"
5	4	SEL	Вход "Обращение к системной области ЗУ"
6	-	-	Свободный
7	9	AD11	Вход/выход "11-ый разряд адреса данных системной магистрали"
8	9	AD10	Вход/выход "10-ый разряд адреса данных системной магистрали"
9	9	AD9	Вход/выход "9-ый разряд адреса данных системной магистрали"
10	9	AD8	Вход/выход "8-ой разряд адреса данных системной магистрали"
11	-	VDD	Питание
12	9	AD7	Вход/выход "7-ой разряд адреса данных системной магистрали"
13	9	AD6	Вход/выход "6-ой разряд адреса данных системной магистрали"
14	9	AD5	Вход/выход "5-ый разряд адреса данных системной магистрали"
15	9	AD4	Вход/выход "4-ый разряд адреса данных системной магистрали"
16	9	AD3	Вход/выход "3-ий разряд адреса данных системной магистрали"
17	-	-	Свободный
18	9	AD2	Вход/выход "2-ой разряд адреса данных системной магистрали"
19	9	AD1	Вход/выход "1-ый разряд адреса данных системной магистрали"
20	9	AD0	Вход/выход "0-ой разряд адреса данных системной магистрали"
21	4	QBE	Вход "Включение режима активного устройства на шине"
22	-	GND	Общий
23	4	IST1	Вход "Внешняя частота 16-ти разрядного таймера"
24	4	INIT	Вход сигнала "Сброс по системной магистрали"
25	4	IST2	Вход "Внешний сигнал запуска 16-ти разрядного таймера"
26	3	IAKO	Выход сигнала "Разрешение прерывания"
27	3	DD	Выход сигнала "Выход передатчика RS-232"
28	6	QE1	Вход для подключения кварцевого резонатора
29	5	QE2	Выход для подключения кварцевого резонатора
30	3	CLCE	Выход сигнала "Системная частота"
31	12	VIRQ	Выход сигнала "Запрос векторного прерывания"
32	6	IAKI	Вход сигнала "Разрешение прерывания"
33	-	-	Свободный
34	5	SYNC	Вход/выход сигнала "Синхронизация системной магистрали"
35	3	ACLO	Выход сигнала "Переменное напряжение источника питания в норме"
36	-	VDD	Питание
37	3	ALARM	Выход сигнала "Тревога. Многократная активация сигнала WD"
38	3	DCLO	Выход сигнала "Постоянное напряжение источника питания в норме"

					ИРВЖ.431262.001-048ТО		Лист
							5
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	*Тип буфера	Обозначение вывода	Наименование вывода
39	5	DOUT	Вход/выход сигнала "Вывод данных"
40	3	AR	Выход сигнала "Адрес принят"
41	-	-	Свободный
42	11	RPLY	Выход сигнала "Синхронизация пассивных устройств"
43	4	DM1	Вход сигнала "Управление конфигурацией памяти"
44	3	CEO	Выход сигнала "Разрешение по выходу"
45	3	WRL	Выход сигнала "Запись-считывание"
46	-	-	Свободный
47	3	WRH	Выход сигнала "Запись-считывание"
48	3	E1	Выход сигнала "Частота 1МГц"
49	-	GND	Общий
50	5	DIN	Вход/выход сигнала "Ввод данных"
51	5	WTBT	Вход/выход сигнала "Запись/байт"
52	4	RP8	Вход сигнала "8-й разряд регистра начального пуска"
53	4	NRS	Вход сигнала "Начальная установка"
54	9	D0	Вход/выход "0-ой разряд шины данных ЗУ"
55	9	D1	Вход/выход "1-ый разряд шины данных ЗУ"
56	9	D2	Вход/выход "2-ой разряд шины данных ЗУ"
57	9	D3	Вход/выход "3-ий разряд шины данных ЗУ"
58	10	FR0	Вход/выход "0-ой разряд универсального регистра"
59	10	FR1	Вход/выход "1-ый разряд универсального регистра"
60	-	-	Свободный
61	10	FR2	Вход/выход "2-ой разряд универсального регистра"
62	10	FR3	Вход/выход "3-ий разряд универсального регистра"
63	10	FR4	Вход/выход "4-ый разряд универсального регистра"
64	10	FR5	Вход/выход "5-ый разряд универсального регистра"
65	-	VDD	Питание
66	10	FR6	Вход/выход "6-ой разряд универсального регистра"
67	10	FR7	Вход/выход "7-ой разряд универсального регистра"
68	9	D4	Вход/выход "4-ый разряд шины данных ЗУ"
69	9	D5	Вход/выход "5-ый разряд шины данных ЗУ"
70	9	D6	Вход/выход "6-ой разряд шины данных ЗУ"
71	-	VDD	Питание
72	9	D7	Вход/выход "7-ой разряд шины данных ЗУ"
73	9	D8	Вход/выход "8-ой разряд шины данных ЗУ"
74	9	D9	Вход/выход "9-ый разряд шины данных ЗУ"
75	9	D10	Вход/выход "10-ый разряд шины данных ЗУ"
76	-	GND	Общий
77	9	D11	Вход/выход "11-ый разряд шины данных ЗУ"
78	9	D12	Вход/выход "12-ый разряд шины данных ЗУ"
79	9	D13	Вход/выход "13-ый разряд шины данных ЗУ"
80	9	D14	Вход/выход "14-ый разряд шины данных ЗУ"
81	9	D15	Вход/выход "15-ый разряд шины данных ЗУ"

					ИРВЖ.431262.001-048ТО		Лист
							6
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	*Тип буфера	Обозначение вывода	Наименование вывода
82	4	DM0	Вход "Управление конфигурацией памяти"
83	3	CS4	Выход сигнала "Выбор БИС ЗУ композитный"
84	3	CS3	Выход сигнала "Выбор БИС ЗУ – 3 банк"
85	3	CS2	Выход сигнала "Выбор БИС ЗУ – 2 банк"
86	3	CS1	Выход сигнала "Выбор БИС ЗУ – 1 банк"
87	-	-	Свободный
88	3	CS0	Выход сигнала "Выбор БИС ЗУ – 0 банк"
89	3	A1	Выход "1-ый разряд шины адреса ЗУ"
90	-	VDD	Питание
91	3	A2	Выход "2-ой разряд шины адреса ЗУ"
92	3	A3	Выход "3-ий разряд шины адреса ЗУ"
93	3	A4	Выход "4-ый разряд шины адреса ЗУ"
94	3	A5	Выход "5-ый разряд шины адреса ЗУ"
95	-	-	Свободный
96	3	A6	Выход "6-ой разряд шины адреса ЗУ"
97	3	A7	Выход "7-ой разряд шины адреса ЗУ"
98	3	A8	Выход "8-ой разряд шины адреса ЗУ"
99	3	A9	Выход "9-ый разряд шины адреса ЗУ"
100	-	-	Свободный
101	3	A10	Выход "10-ый разряд шины адреса ЗУ"
102	3	A11	Выход "11-ый разряд шины адреса ЗУ"
103	-	GND	Общий
104	4	A12	Выход "12-ый разряд шины адреса ЗУ"
105	3	A13	Выход "13-ый разряд шины адреса ЗУ"
106	3	A14	Выход "14-ый разряд шины адреса ЗУ"
107	3	A15	Выход "15-ый разряд шины адреса ЗУ"
108	13	DE	Вход сигнала "Вход приемника RS-232"

* Тип буфера обозначен номером рисунка принципиальной электрической схемы буфера.

					ИРВЖ.431262.001-048ТО		Лист
							7
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 2 – Формирование стробов выбора банка памяти

DM0, DM1	SEL="1"						SEL="0"		ПРИМЕЧАНИЕ
	"11"		"01"		"10"		"xx"		
000000 000776	CS0	CS4	-	CS4	CS0	-	-	-	В "HALT" режиме (SEL="0") при обращении на шине QBUS к четвертому банку памяти разряд A13 адресной шины памяти устанавливается в "1" (высокий уровень).
001000 037776			CS0	-					
040000 077776	CS1	-	CS1	-	CS1	-	CS1	-	
100000 137776	CS2	CS4	CS2	CS4	CS2	CS4	-	-	
140000 157776	CS3	CS4	CS3	CS4	CS3	CS4	CS3	CS4	

Каждая операция чтения из внешнего запоминающего устройства сопровождается формированием сигнала низкого уровня напряжения (логического «0») на внешнем выводе CEO.

Каждая операция записи сопровождается формированием логического «0» на выводе WRL для младшего байта и WRH для старшего.

С целью расширения функциональных возможностей в данной микросхеме на аппаратном уровне реализован механизм доступа к дополнительной памяти. Микросхема обеспечивает непрерывный доступ к блоку памяти с 22 разрядной адресной шиной. Более подробно данный режим описан в разделе 4.5.

4.2 Системный таймер

Системный таймер обеспечивает формирование прерывания с вектором 104 и периодом 20 мс. Разрешение/запрет прерывания контролируется установкой/сбросом 6-ого разряда внутреннего 8-ми разрядного регистра управления с адресом 177520. Сразу после включения питания и по сигналу INIT данный разряд сбрасывается в 0.

					ИРВЖ.431262.001-048ТО			Лист
								8
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата				

4.3 Контроллер RS232

Контроллер последовательной передачи данных RS-232 обеспечивает дуплексный обмен данными с внешними устройствами, поддерживающими стандарт RS232, с программируемой скоростью 9600, 19200, 38400, 115200 бод. Обмен данными может производиться с обеспечением контроля по четности (к передаваемому байту прибавляется бит четности, обеспечивая нечетное число "1" в посылке) или без него.

Кроме ошибок четности при разрешенном контроле, контроллер приемника также фиксирует ошибки несвоевременного прочтения принятого байта.

Контроллер RS232 обеспечивает полную поддержку системы векторного прерывания.

Для управления работой контроллера используются четыре внутренних регистра.

Адреса регистров и значения векторов прерывания контроллера RS-232 фиксированы и приведены в таблицах 3 и 4 соответственно.

Назначение разрядов регистра состояния приемника приведено в таблице 5.

Назначение разрядов регистра состояния передатчика приведено в таблице 6.

Таблица 3 - Адреса регистров контроллера RS-232

177560	Регистр состояния приемника
177562	Регистр данных приемника
177564	Регистр состояния передатчика
177566	Регистр данных передатчика

Таблица 4 – Значения векторов прерывания контроллера RS-232

60	Адрес вектора прерывания приемника
64	Адрес вектора прерывания передатчика

									Лист
									9
Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.001-048ТО				
Инов.№ подл.	Подп. и дата	Взам.инв. №	Инов.№ дубл.	Подп и дата					

Таблица 5 – Назначение разрядов регистра состояния приемника

Разряды	Назначение	Установка/сброс, комментарий
0	Ошибка чтения символа.	Устанавливается в случае, когда по окончании приема текущего байта предыдущий не прочитан. Сбрасывается по операции чтения регистра данных приемника. После включения питания находится в неопределенном состоянии.
1	Ошибка четности в принятом символе.	Устанавливается в случае приема байта с четным числом значащих единиц при установленном режиме контроля четности. Сбрасывается по операции чтения регистра данных приемника. После включения питания находится в неопределенном состоянии.
6	Разрешение прерывания приемника.	При установке в "1" разрешает выполнение процедуры векторного прерывания при готовности приемника. Устанавливается и сбрасывается программным образом. Сбрасывается по сигналу INIT. После включения питания устанавливается в "0".
7	Готовность приемника	Устанавливается в "1" по окончании приема байта. Сбрасывается в "0" при чтении регистра данных приемника, чтении адрес-вектора приемника, по сигналу INIT. После включения питания устанавливается в "0". Доступен только по чтению.

Регистры данных приемника и передатчика представляют собой 16-ти битные регистры. Назначение старших байтов этих регистров объясняется далее.

На выход передатчика контроллера данные поступают в инверсном виде.

Для согласования уровней сигналов на выводах контроллера и определяемых стандартом RS232 между входом приемника и каналом необходимо подключить резистор номиналом 15-20 кОм, а к выходу передатчика – инвертирующий преобразователь уровня.

Для расширения функциональных возможностей данной микросхемы, в ней реализован режим активного контроллера магистрали Q-BUS. Перевод микросхемы в этот режим осуществляется подачей импульсного сигнала логического «0» на вход QBE. При входе в этот режим на выходах DCLO, ACLO устанавливаются уровни логического «0» с целью отключения (перевода в высокоимпедансное состояние) драйверов шины процессора H1586BM2.

					ИРВЖ.431262.001-048ТО		Лист
							10
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 6 – Назначение разрядов регистра состояния передатчика

Разряды	Назначение	Установка/сброс, комментарий
1	Разрешение контроля четности	При установке в "1" контроллер принимает и передает данные с контролем по четности. Устанавливается и сбрасывается программным способом. Программное изменение состояния данного разряда возможно только при одновременной записи в разряд 5 "1". При включении питания и по сигналу INIT – сбрасывается.
2	Разрешение петлевого контроля	При установке в "1" выполняется внутреннее подключение выхода передатчика ко входу приемника. Используется для целей диагностики. Устанавливается и сбрасывается программным способом. Программное изменение состояния данного разряда возможно только при одновременной записи в разряд 5 "1". При включении питания и по сигналу INIT – сбрасывается.
3	Младший разряд двухбитного кода выбора частоты передачи	00-9600, 01-19200, 10-38400, 11- 115200. Устанавливаются и сбрасываются программным способом. Программное изменение состояния данных разрядов возможно только при одновременной записи в разряд 5 "1".
4	Старший разряд двухбитного кода выбора частоты передачи	При включении питания и по сигналу INIT – устанавливается код 00 (9600 бод).
5	Разрешение изменения состояния младших разрядов	Только запись, при чтении всегда читается как "0".
6	Разрешение прерывания передатчика	При установке в "1" разрешает выполнение процедуры векторного прерывания при готовности передатчика. Устанавливается и сбрасывается программно. При включении питания и по сигналу INIT – сбрасывается.
7	Готовность передатчика	Устанавливается при готовности передатчика принять данные для передачи. При включении питания и по сигналу INIT – устанавливается в "1".

									Лист
									11
Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.001-048ТО				
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата					

В этом режиме микросхема сохраняет способность обмениваться данными с внешними устройствами и памятью через канал RS232. При этом первые два принятые байта используются микросхемой как адрес на шине Q-BUS, первый принятый байт является старшим байтом адреса.

Если принятый адрес является четным, то микросхема инициирует на магистрали Q-BUS цикл записи, выставляет на шину адреса данных принятое слово, сигнал WTBT и формирует отрицательный фронт сигнала SYNC, далее микросхема принимает следующие два байта по каналу RS232, выставляет их на шину адреса данных, формирует строб DOUT и завершает цикл Q-BUS. Таким образом осуществляется запись данных по любому произвольному адресу на шине Q-BUS.

Если принятый адрес является нечетным, то микросхема инициирует на шине Q-BUS цикл чтения, выставляет на шину адреса данных принятое слово, устанавливая в самом младшем разряде 0, формирует отрицательный фронт сигнала SYNC и далее с некоторой задержкой строб DIN и завершает цикл Q-BUS. Принятая информация фиксируется во внутреннем регистре и далее побайтно передается через RS232, при этом первым передается младший байт прочитанного слова. Таким образом осуществляется чтение данных по любому произвольному адресу на шине Q-BUS.

Единственное ограничение состоит в том, что чтение внутреннего регистра 177520 в данном режиме запрещено. На запись никаких ограничений не накладывается. Выход из этого режима и переход к нормальному функционированию осуществляется записью "1" во 2-й разряд регистра 177520.

4.4 Контроллер системной магистрали Q-BUS

Контроллер системной магистрали Q-BUS обеспечивает выполнение стандартного протокола обмена данными. Единственная особенность заключается в использовании сигнала AR. Сигнал AR формируется контроллером на все ("свои" и "чужие") адреса. При распознавании "своего" адреса (адреса всех внутренних регистров и адреса оперативной памяти) на AR формируется активный уровень сразу же после приема сигнала SYNC, а в случае приема "чужого" адреса активный уровень на AR формируется с задержкой на один период частоты системной магистрали.

					ИРВЖ.431262.001-048ТО		Лист
							12
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Регистры принимаемых данных типа линии и передаваемых данных являются восьмиразрядными.

В регистре принимаемых данных фиксируются уровни сигналов на линиях FR0-FR7 в момент операции чтения этого регистра. Данный регистр доступен только по чтению.

Регистр типа вывода доступен как по чтению, так и по записи. Каждый бит данного регистра программирует соответствующий внешний вывод для работы либо в качестве источника сигнала (бит должен быть установлен в "1"), либо в качестве приемника сигнала (бит должен быть установлен в "0"). По сигналу INIT все разряды данного регистра устанавливаются в "1".

В регистр передаваемых данных заносится информация, которая должна появиться на тех внешних выводах FR7-FR0, которые запрограммированы для работы в качестве источников. Данные выставляются на внешние выводы в прямом коде.

Для использования в микропроцессорной системе микросхем памяти большого объема (более 32 Кбайт) в микросхеме реализован специальный режим использования данного регистра, обеспечивающий доступ к ячейкам памяти вплоть до 4 Мбайт.

Доступ к расширенной области памяти использует принцип адресного окна. При включении данного режима выводы FR7-FR0 используются как старшие адресные разряды системы памяти, при этом FR0 соответствует адресному разряду A14, FR1 – A15, и т.д., FR7 - A21. При обращении к банкам памяти 0, 1, 3, на выводах FR7-FR0 будет присутствовать код 00000000₂, 00000001₂, 00000011₂ соответственно. При обращении к банку памяти 2, на выводах FR7-FR0 будет присутствовать код, предварительно загруженный в регистр передаваемых данных.

Включение данного режима осуществляется установкой разряда 3 общесистемного регистра управления (177520).

Внимание. При включении питания и по сигналу INIT данный разряд *устанавливается*. При использовании регистра в системах с обычным объемом памяти 3 разряд регистра 177520 должен быть сброшен записью в него "0".

В комбинации с режимом активного контроллера магистрали Q-BUS, рассмотренным ранее, микросхема обеспечивает возможность загрузки через канал RS232 всего объема установленной в системе памяти.

					ИРВЖ.431262.001-048ТО		Лист
							14
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

4.6 Формирователь ACLO-DCLO

Современные источники питания, как правило, не оборудованы возможностью генерации управляющих сигналов контроля питающего напряжения, необходимых системам на базе микропроцессоров H1806BM2. С целью упрощения запуска микропроцессорных систем данный контроллер искусственно формирует сигналы ACLO-DCLO при включении питания и при перезапуске системы.

4.7 Контроллер зависания системы Watch Dog (WD)

Для исключения зависания системы вследствие аппаратных или программных сбоев в данном системном контроллере реализован блок контроля зависания системы (Watch Dog). Блок контроля зависания системы состоит из 8-ми разрядного двоичного счетчика, на вход которого в фазе нормальной работы (ACLO = "1" DCLO = "1") микропроцессорной системы поступают импульсы частотой 100 Гц; регистра контроля с адресом 177520; 3-х разрядного блока подсчета моментов активизации WD, формирующего внешний сигнал ALARM.

Если система не предпринимает специальных действий, WD будет активироваться каждые 2.56 с, а после 8-ми активаций на внешнем выводе ALARM сформируется сигнал тревоги в виде логической "1". Каждая активация WD сопровождается сначала снятием сигналов ACLO-DCLO, а затем их восстановлением. То есть система автоматически перезапускается. Чтобы этого не происходило, программа должна с периодичностью менее 2.56 с. производить операцию записи "1" в нулевой разряд регистра 177520. В этом случае происходит обнуление текущего состояния счетчика WD.

Чтобы программно проконтролировать состояние сигнала ALARM, необходимо прочитать первый разряд регистра 177520. Запись в этот разряд "1" приводит к сбросу текущего состояния ALARM. При включении питания ALARM устанавливается в "0", сигнал INIT никакого действия ни на счетчик WD, ни на сигнал ALARM не оказывает.

Включение/отключение режима активного WD осуществляется установкой в "1" или в "0" соответственно пятого разряда регистра 177520. При включении питания данный разряд установлен в "0", INIT влияния не оказывает.

					ИРВЖ.431262.001-048ТО		Лист
							15
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

4.8 Общесистемный регистр управления БИС (177520)

Регистр 177520 является общесистемным 8-ми разрядным регистром.

Назначение разрядов этого регистра приводится в данном разделе, кроме части разрядов, описанных ранее.

Разряд 00 – сброс WD, запись единицы в данный разряд обнуляет текущее содержимое счетчика WD. Считывается всегда как "0".

Разряд 01 – сброс/индикация наличия сигнала ALARM. Запись единицы сбрасывает текущее значение сигнала ALARM. Запись нуля не оказывает воздействия на сигнал ALARM. При чтении выводится текущее значение сигнала ALARM.

Разряд 02 – управление переходом в режим активного контроллера на Q-BUS (устанавливается в "1" внутренний сигнал QB_EN). При включении питания сбрасывается. INIT влияния не оказывает. Сигнал QB_EN не может быть установлен программным способом, только установкой в "0" внешнего сигнала QBE. Запись "1" по второму разряду приводит к сбросу сигнала QB_EN. При чтении данный разряд всегда читается как "0".

Разряд 03 – разрешение расширенной памяти. При включении питания и по сигналу INIT устанавливается.

Разряд 04 – эмуляция действия сигнала SEL. Данный сигнал может быть установлен только в режиме активного контроллера Q-BUS, все остальное время – сброшен. Используется для получения доступа к скрытой системной области памяти. При установке этого разряда реальный сигнал SEL на магистрали Q-BUS не формируется.

Разряд 05 – установка и сброс разрешения WD. При включении питания сброшен. INIT влияния не оказывает.

Разряд 06 – разрешение прерывания от системного таймера.

Разряд 07 – свободный. Свободный разряд может быть использован по усмотрению конструктора микропроцессорной системы. Этот разряд доступен и по чтению, и по записи, информация в нем сохраняется при перезапусках системы, сигнал INIT также не оказывает воздействия. При включении питания в данном разряде хранится случайная информация.

					ИРВЖ.431262.001-048ТО		Лист
							16
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

4.9 Регистр начального пуска

При выполнении на магистрали процедуры безадресного чтения контроллер выставляет на внешней шине адреса данных (AD0-AD15) содержимое регистра начального пуска. Само значение регистра зависит от значения сигнала на внешнем выводе RP8 в соответствии с таблицей 9.

Таблица 9 – Программирование адреса начального пуска

RP8	Адрес начального пуска
0	140000
1	140400

4.10 Кварцевый генератор

Для получения кварцевого генератора следует подключить внешний кварцевый резонатор 10МГц к выводам контроллера QE1 и QE2. Параллельно кварцевому резонатору подключается внешний резистор номиналом 300 КОм, а между выводами QE1 и "общий" керамический конденсатор 5 пФ. Генератор используется для формирования внешней системной частоты 5 МГц (вывод CLCE), вспомогательной частоты 1МГц (вывод E1) и внутренней сетки частот.

4.11 16-разрядный программируемый таймер (KWV11A)

4.11.1. Данный таймер предназначен для формирования программно управляемых однократных или периодических временных интервалов и для проведения временных измерений между системными событиями .

4.11.2. Таймер имеет в своем составе два программно адресуемых регистра. Это регистр управления (CSR) и буферный регистр (BPR):

Регистр	Адрес регистра
CSR	177460
BPR	177462

									Лист
									17
Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.001-048ТО				
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата					

Назначение битов регистра управления показано в таблице 10.

Таблица 10 – Назначение битов регистра управления

Разряд	Установка/сброс	Комментарий			
15 IST2 FLAG	Устанавливается при поступлении внешнего сигнала IST2 (по спаду сигнала). Сбрасывается в "0" при каждой записи в CSR, по сигналу INIT и при чтении вектора-прерывания поступления сигнала IST2.	Имеет меньший приоритет, чем прерывание по переполнению. Доступен только по чтению.			
14 INT2	Устанавливается и сбрасывается программно. Сбрасывается также и по сигналу INIT.	Когда этот бит установлен в "1", установка IST2 FLAG вызывает прерывание. Доступен по чтению и по записи.			
13 IST2 GO ENA	Устанавливается и сбрасывается программно, а также сбрасывается установкой в "1" GO-бита и по сигналу INIT.	Если этот бит установлен, то после установки IST2 FLAG в "1" будет установлен GO-бит. Установка GO-бита сбрасывает этот бит в "0". Доступен по чтению и по записи.			
12 FOR	Устанавливается, когда происходит переполнение, а бит 7 уже установлен в "1" или когда при поступлении сигнала IST2 бит 15 уже установлен в "1". Сбрасывается при любой процедуре записи в CSR и по сигналу INIT.	Доступен по чтению.			
7 OVFL FLAG	Устанавливается при каждом переполнении счетчика. Сбрасывается при каждой процедуре записи в CSR, по сигналу INIT и при чтении вектора-прерывания переполнения.	Если бит 6 установлен, бит 7 будет инициировать прерывание. Если разрешение на прерывание запрашивается одновременно 7-м и 15-м битами, то 7-ой бит имеет приоритет.			
6 INTOV	Устанавливается и сбрасывается программно. Сбрасывается также и по сигналу INIT.	Когда этот бит установлен, установка OVFL FLAG вызывает прерывания. Доступен по чтению и по записи.			
5-3 RATE	Устанавливается и сбрасывается программно.	5	4	3	
		0	0	0	STOP
		0	0	1	1 МГц
		0	1	0	100 кГц
		0	1	1	10 кГц
		1	0	0	1 кГц
		1	0	1	100 Гц
		1	1	0	IST1
1	1	1	STOP		
Доступны по чтению и по записи					

						Лист
						18
Изм.	Лист	№ докум.	Подп.	Дата		
Инь.№ подл.	Подп. и дата	Взам.инв. №	Инь.№ дубл.	Подп и дата		

ИРВЖ.431262.001-048ТО

Режим 2. После того как GO-бит устанавливается в этом режиме, счетчик устанавливается в 0 и затем начинает считать пока GO-бит установлен в "1". При поступлении внешнего сигнала IST2 текущее содержимое счетчика загружается в буферный регистр, в то время пока счетчик продолжает работать. При этом, по сигналу IST2 бит 15 в CSR устанавливается в "1" и, если до этого бит 14 был установлен в "1", то генерируется прерывание. В этом режиме счетчик продолжает работу после прихода сигнала IST2, а также продолжает работу после переполнения;

Режим 3. Работа в режиме 3 идентична работе в режиме 2, но счетчик обнуляется после подачи сигнала IST2 и загрузки текущего содержимого счетчика в буферный регистр.

Интервал между двумя сигналами может быть измерен в режимах 2 или 3, если в CSR установить 13 и 14 биты до первого сигнала IST2 и GO-бит оставить сброшен. В этом случае первый сигнал IST2 установит GO-бит в "1" (т.о. счетчик запускается) и одновременно выдается прерывание. Если прерывание обслуживается программой сразу, то IST2 FLAG сбрасывается, а по следующему сигналу IST2 текущее содержимое счетчика загружается в BPR. Выбор режимов 2 или 3 для таких измерений зависит от того, необходимо или нет накопление после второго сигнала. Если необходимо, то подходит режим 2, т.к. счетчик не обнуляется.

Значения адресов векторов прерывания указаны в таблице 11.

Таблица 11 – Значения адресов векторов прерывания

Источник прерывания	Адрес вектора прерывания
Переполнение 16-и разрядного счетчика	130
Поступление сигнала IST2	134

					ИРВЖ.431262.001-048ТО		Лист
							20
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

5 Система приоритетов внутренних источников прерываний

В контроллере принята следующая система приоритетов внутренних источников прерываний (источники перечисляются в порядке убывания приоритета):

- запрос прерывания по входу FR06;
- запрос прерывания по входу FR07;
- запрос прерывания от приемника RS232;
- запрос прерывания от передатчика RS232;
- запрос прерывания по переполнению таймера KWV11A;
- запрос прерывания по приходу сигнала IST2 таймера KWV11A;
- запрос прерывания от системного таймера.

6 Технические данные

6.1 Электрические схемы входных и выходных элементов (буферов) микросхемы приведены на рисунках 3...13. Номер рисунка соответствует номеру буфера из таблицы 1.

6.2 Напряжение питания	+5 В ±10% .
6.3 Ток потребления, не более	2,5 мА.
6.4 Выходной ток низкого уровня (при $U_{пит}=5.5$ В; $U_{вых}= 0.4$ В; t от минус 60 до 125 °С), не менее	2 мА.
6.5 Выходной ток высокого уровня (при $U_{пит}= 4.5$ В; $U_{вых}= 4.1$ В; t от минус 60 до 125 °С), не менее	-0,8 мА.
6.6 Ток потребления, не более:	
- статический	2,5 мА;
- статический с включенным генератором (10МГц)	6,0 мА;
- динамический (+Н1806ВМ2+2*537РУ16+2*1626РФ2)	15,0 мА.
6.7 Емкость нагрузки:	
- предельно допустимая	100 пФ;
- предельная	150 пФ.

					ИРВЖ.431262.001-048ТО		Лист
							21
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

7 Указания по применению и эксплуатации

7.1 Указания и рекомендации по применению и эксплуатации в соответствии с ОСТ В 11 0998.

7.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 600 В по ОСТ 11 073.062.

7.3 Режим и условия монтажа микросхем в аппаратуре – по ОСТ 11 В 073.063.

7.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной “питание” или “общий” в зависимости от выполняемой логической функции.

7.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах замену микросхемы необходимо производить только при отключенных источниках питания.

					ИРВЖ.431262.001-048ТО	Лист
						22
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

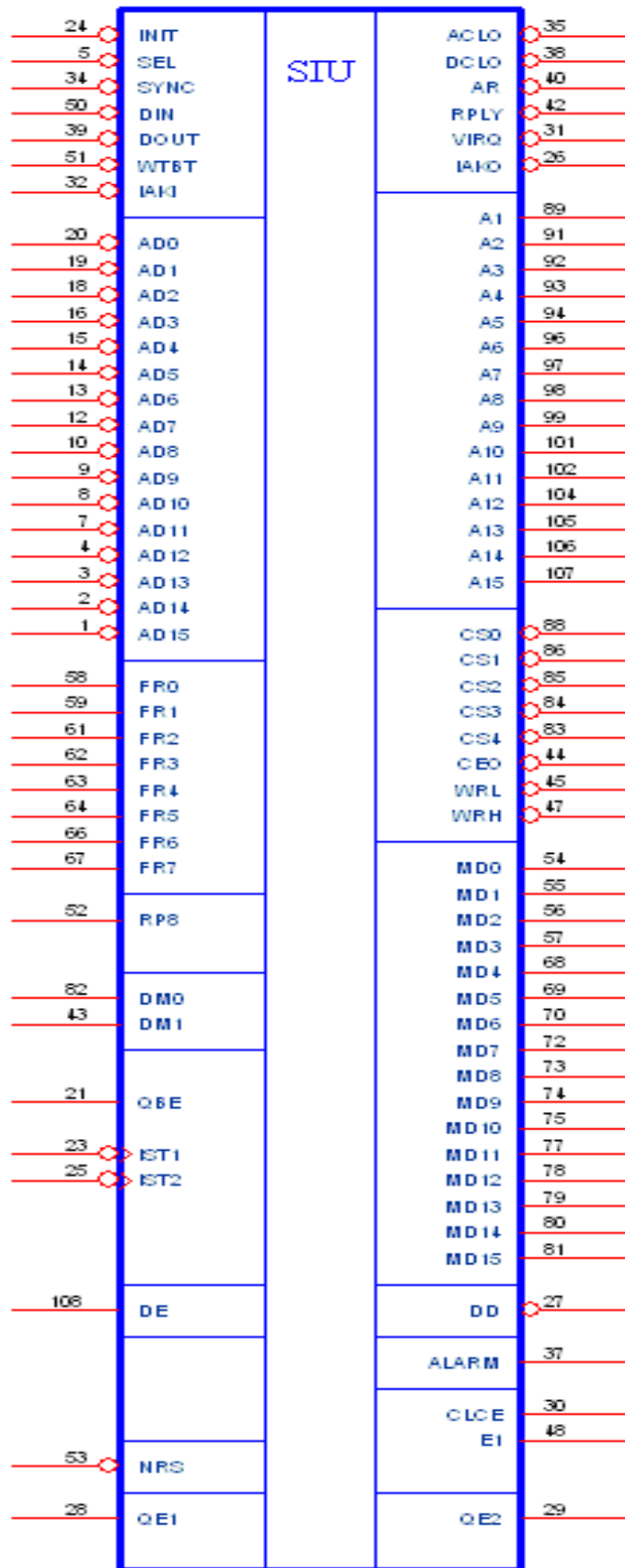


Рисунок 1 – Условное графическое обозначение микросхемы 1582ВЖ3-0270

					ИРВЖ.431262.001-048ТО		Лист
							23
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

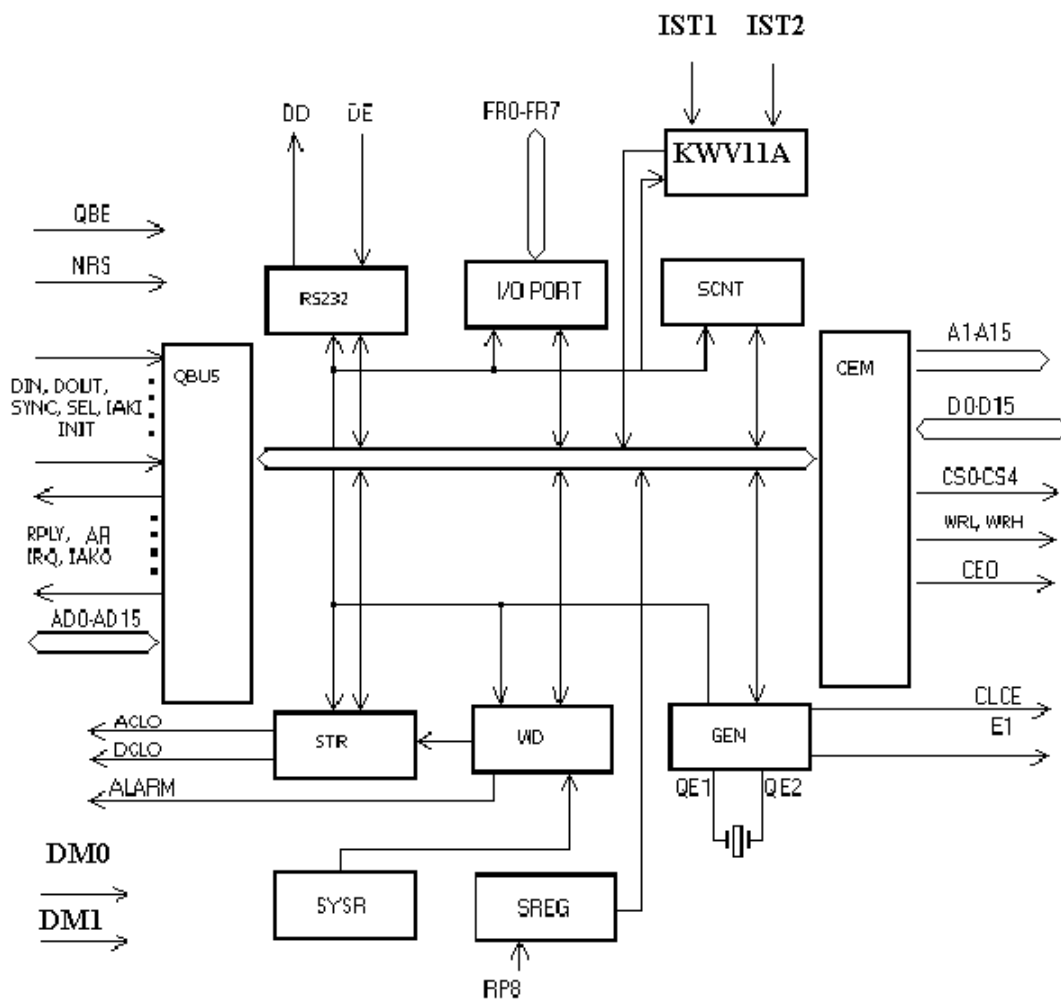


Рисунок 2 - Структурная схема микросхемы 1582ВЖ3-0270

					ИРВЖ.431262.001-048ТО		Лист
							24
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Рисунки принципиальных электрических схем входных и выходных элементов
(буферов) микросхемы 1582ВЖ3-0270

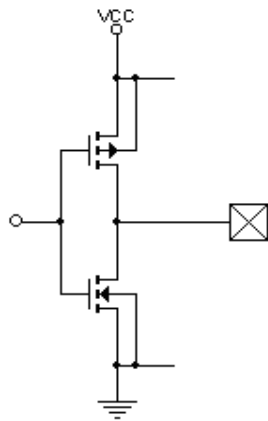


Рисунок 3

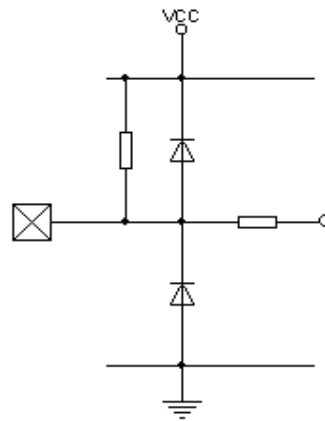


Рисунок 4

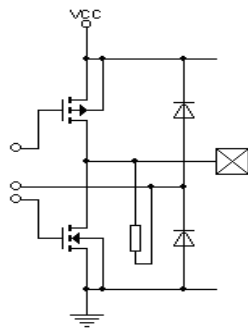


Рисунок 5

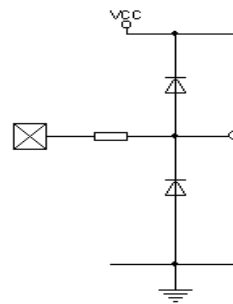


Рисунок 6

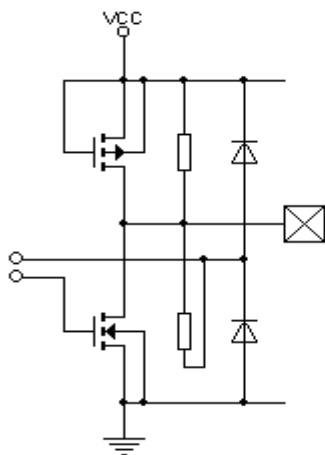


Рисунок 7

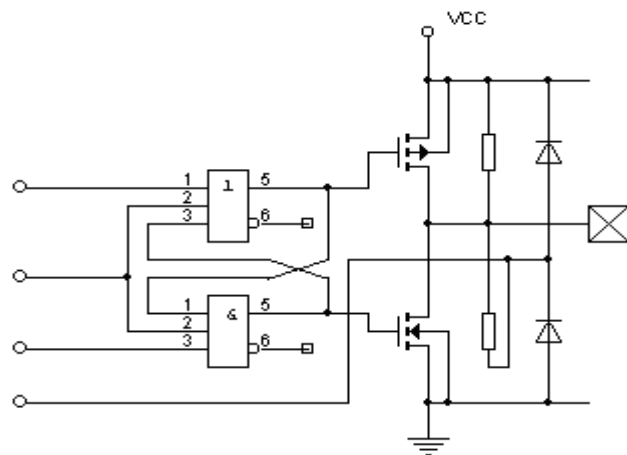


Рисунок 8

					ИРВЖ.431262.001-048ТО		Лист
							25
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

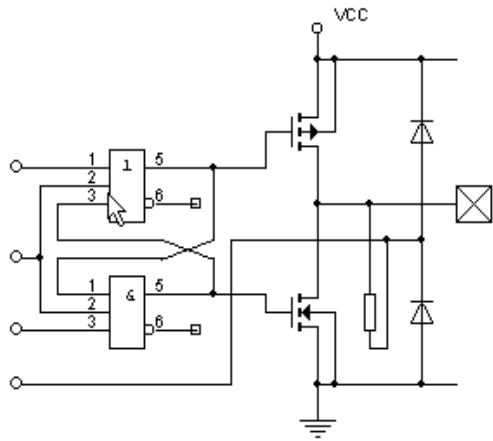


Рисунок 9

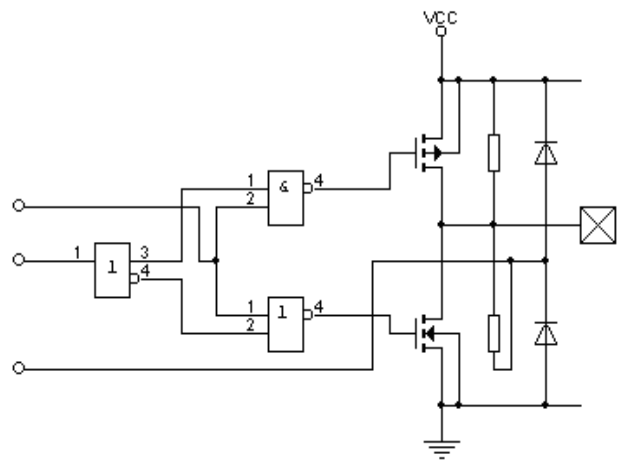


Рисунок 10

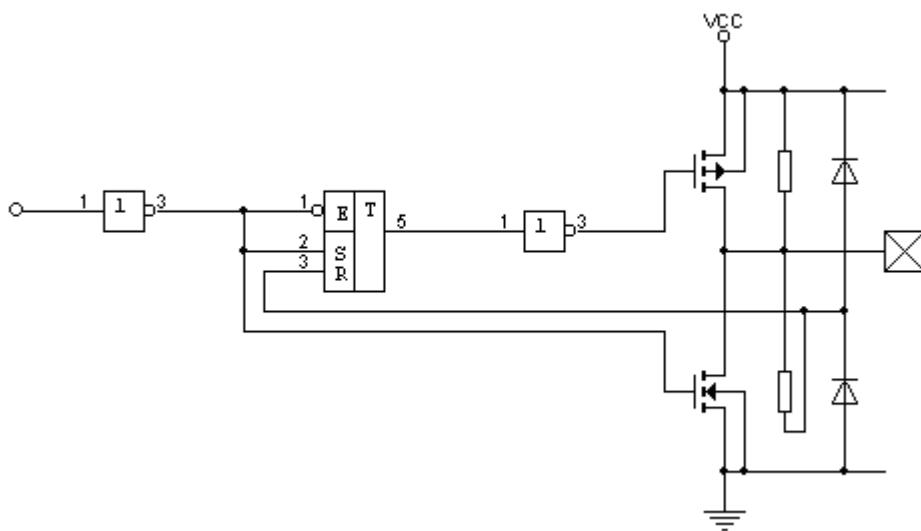


Рисунок 11

					ИРВЖ.431262.001-048ТО		Лист
							26
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

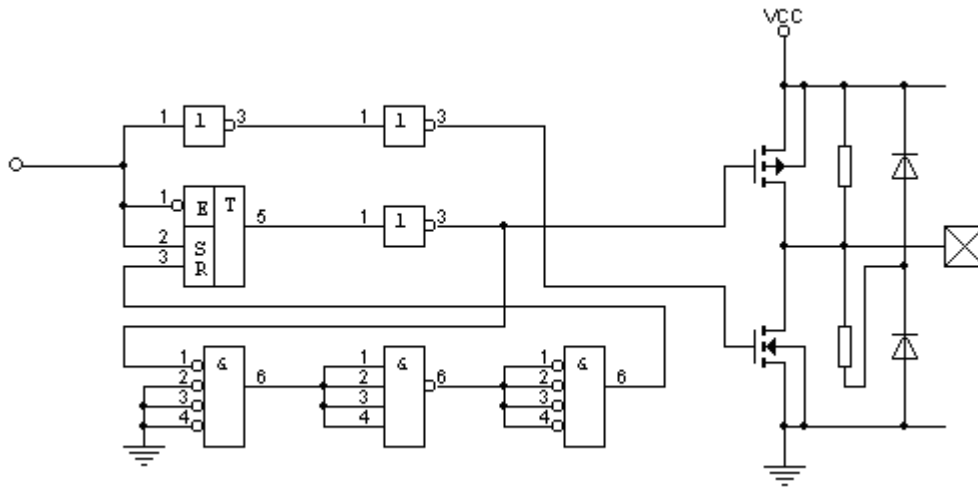


Рисунок 12

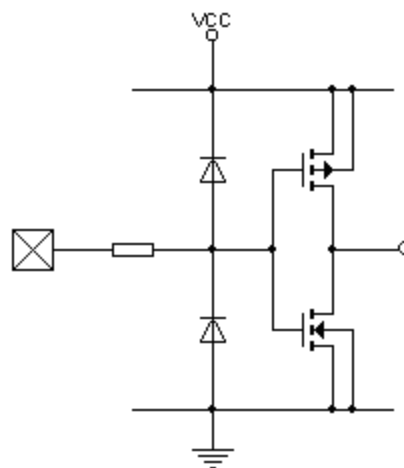


Рисунок 13

					ИРВЖ.431262.001-048ТО		Лист
							27
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

